

**Simulazione
e
Realizzazione in VHDL
di una CPU a 32 bit**

Guido Borghi

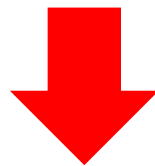
Università degli Studi di Modena e Reggio Emilia
Dipartimento di Ingegneria “Enzo Ferrari” di Modena

Corso di Laurea in Ingegneria Informatica (270/04)



Obiettivi

1. **Simulazione di una CPU a 32 bit**
 - Software: **Logisim**
2. **Realizzazione in VHDL della CPU**
 - Software VHDL: **ISE Design Suite 14.1**
 - Software Test: **ISim**
 - Supporto: **Scheda XSA-3S1000**
 - Software FPGA: **XStools**



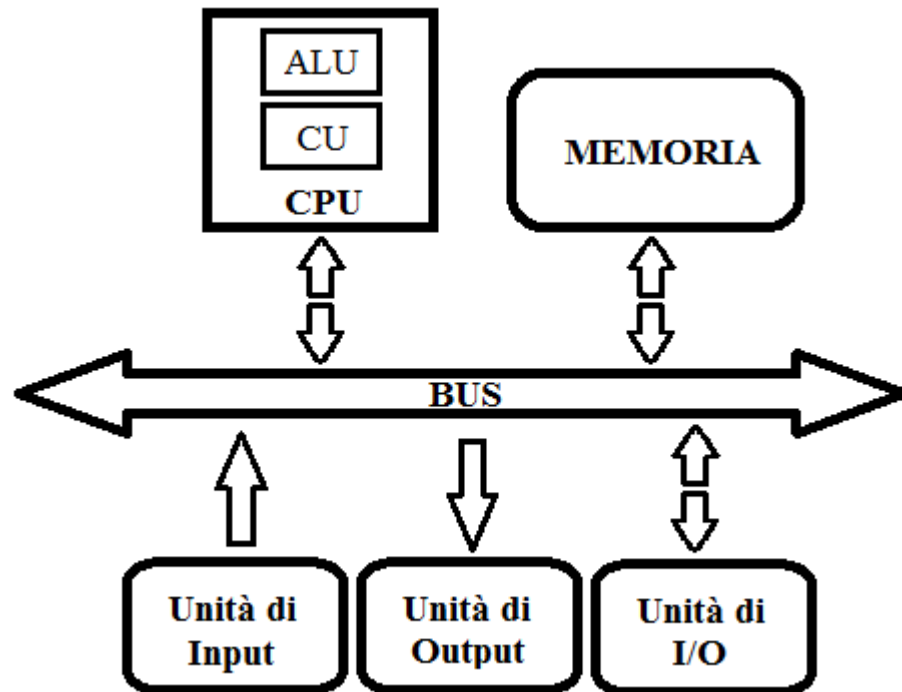
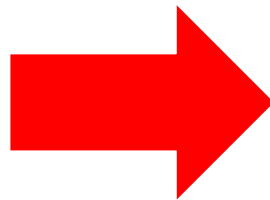
Implementazione fisica su **FPGA** (Field Programmable Gate Array)

La CPU

(Central Processing Unit)



- E' il CERVELLO di ogni calcolatore elettronico
- SOVRAINTENDE e REGOLA tutte le funzionalità dialogando con tutti i dispositivi connessi

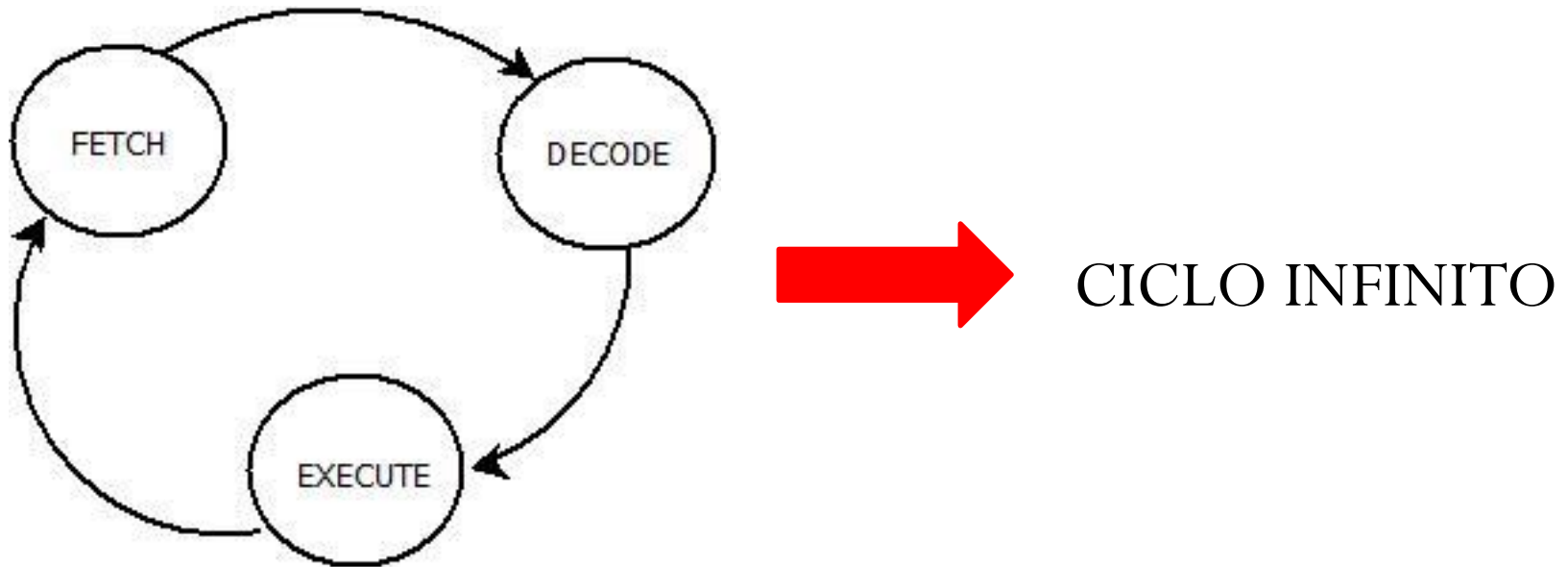




Descrizione funzionale

1. Gestione delle **Istruzioni**
2. **Elaborazione** dei dati
3. Gestione **memorizzazione** dati
4. Gestione **trasferimento** dati

La CPU come Rete Logica



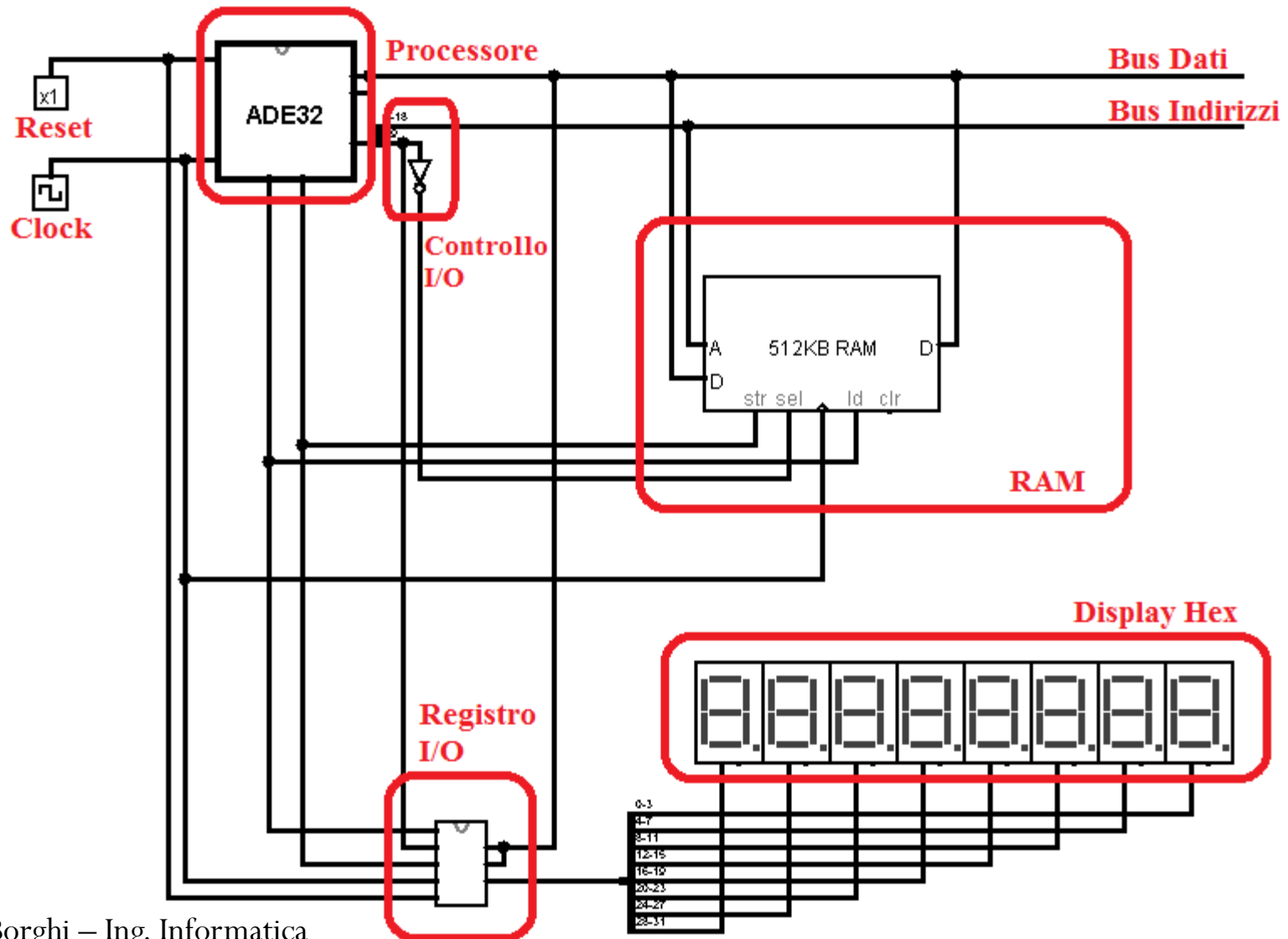
- **FETCH:** reperimento dell'istruzione da eseguire
- **DECODE:** decodifica dell'istruzione
- **EXECUTE:** esecuzione dell'istruzione



**Simulazione
di
ADE32**

(Architettura Di Esempio a 32 bit)

Interfaccia Esterna

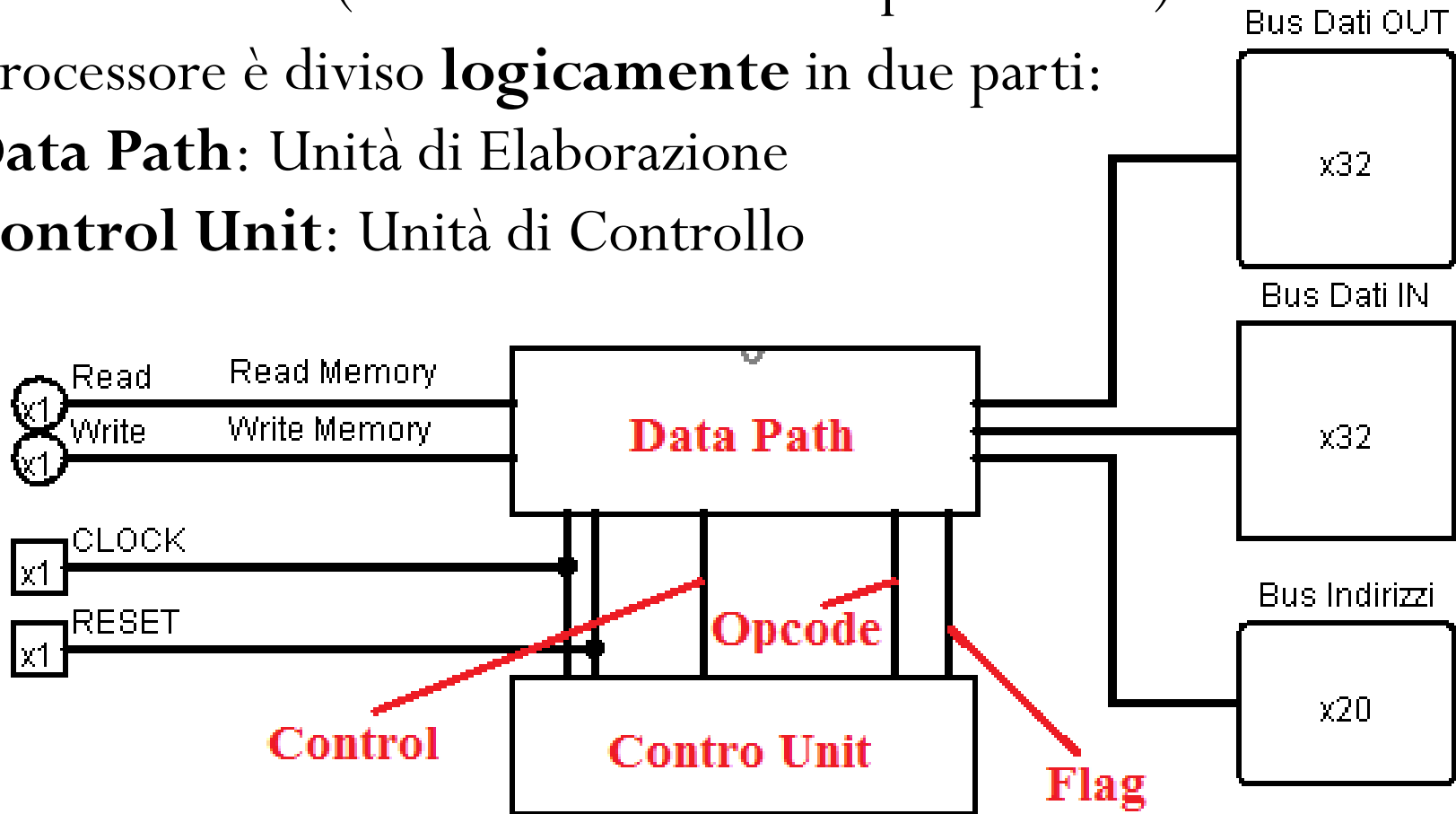


ADE32

(Architettura Di Esempio a 32 bit)

Il processore è diviso **logicamente** in due parti:

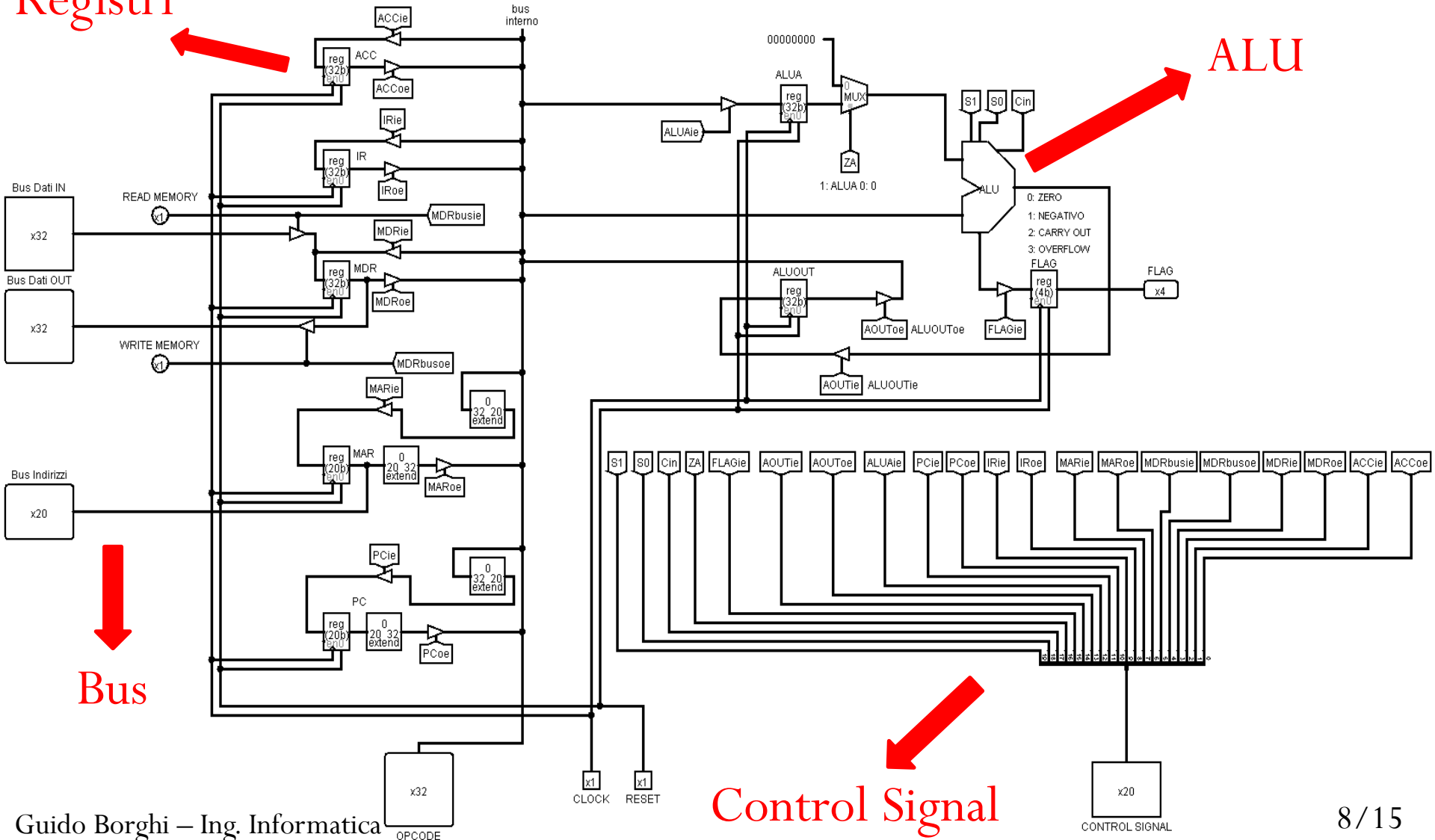
- **Data Path**: Unità di Elaborazione
- **Control Unit**: Unità di Controllo



Datapath

Registri

ALU

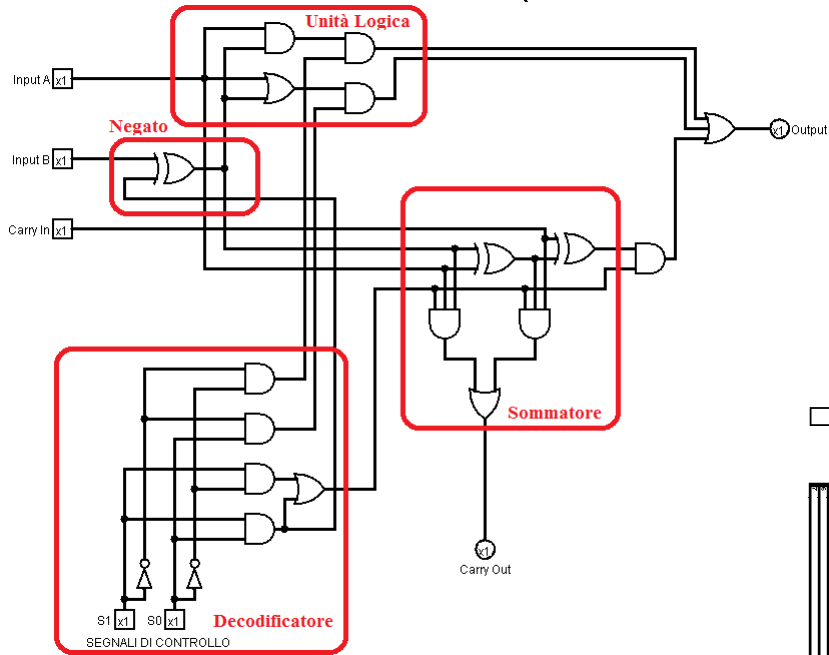


Bus

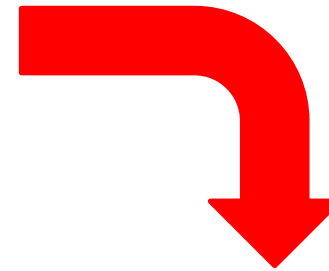
Control Signal

ALU

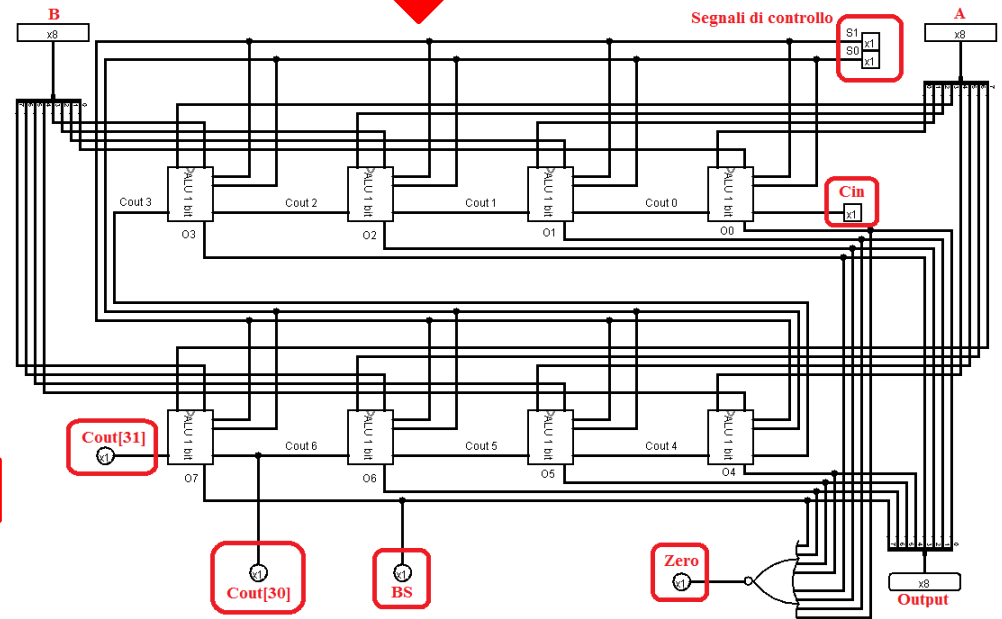
(Arithmetic Logic Unit)



ALU a 1 bit



ALU a 8 bit



ALU a 32 bit
(vista nel data path)

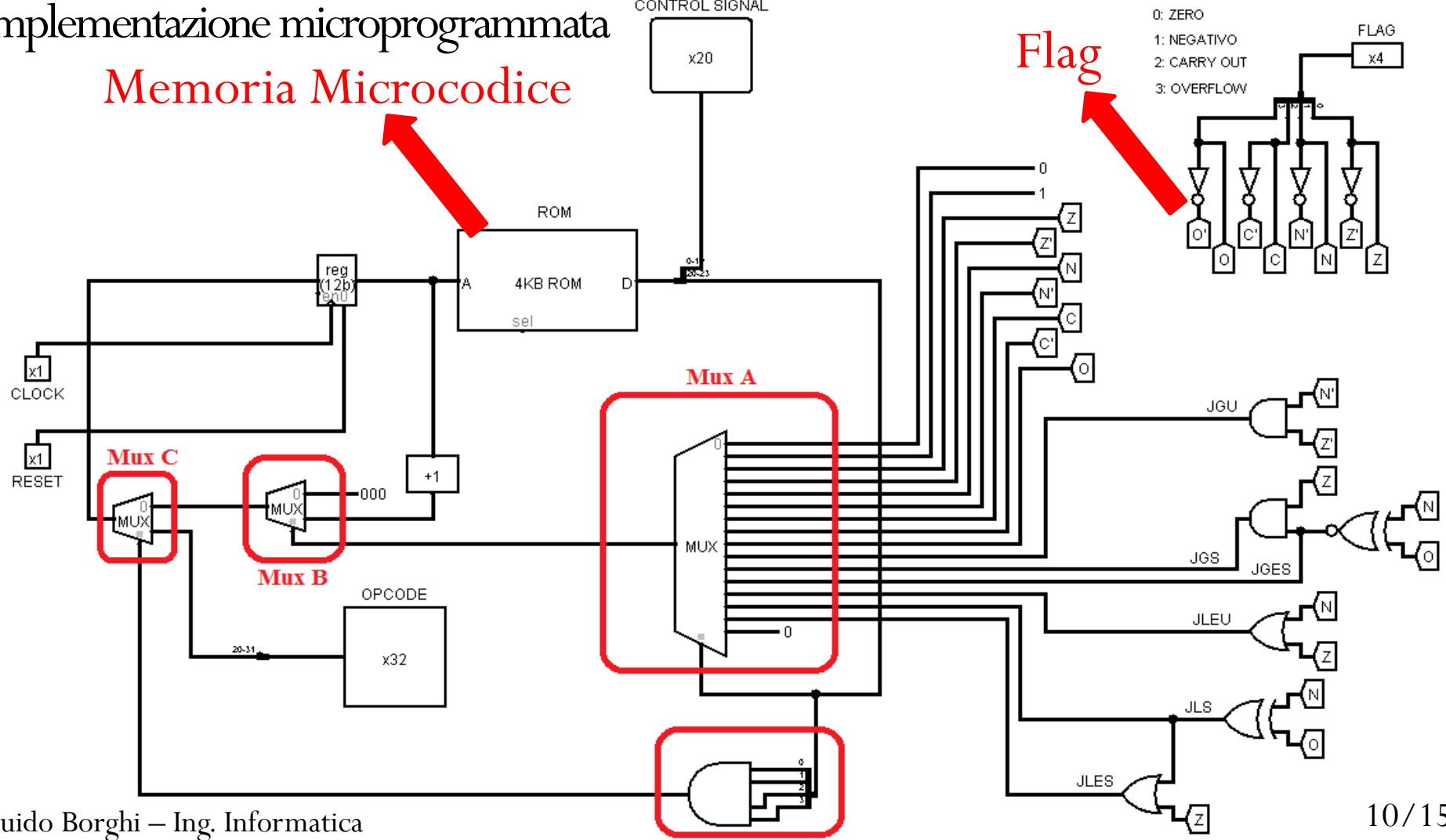




CU (Control Unit)

Implementazione microprogrammata

Memoria Microcodice



Simulazione finale

Logisim: Motherboard of ADE32_tesi

File Edit Project Simulate Window Help

RESET
CLOCK

prog4.txt - Blocco note

```
File Modifica Formato Visualizza ?
start:      INC
           ST 8000h
           JMP start
```

Clock	
Facing	North
High Duration	1 Tick
Low Duration	1 Tick
Label	CLOCK
Label Location	South
Label Font	SansSerif Pla...

Record



Realizzazione in VHDL

Implementazione su FPGA

VHDL

(VHSIC Hardware Description Language)

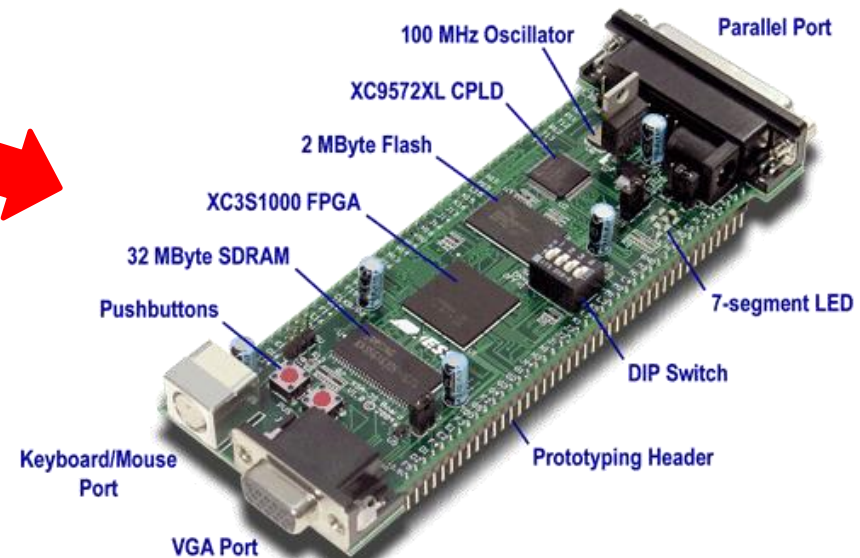
Linguaggio di descrizione dell'hardware, definisce quindi la struttura di un circuito digitale.



```
entity entity_name is  
[generic( generic_list );]  
[port( port_list );]  
end entity_name;
```

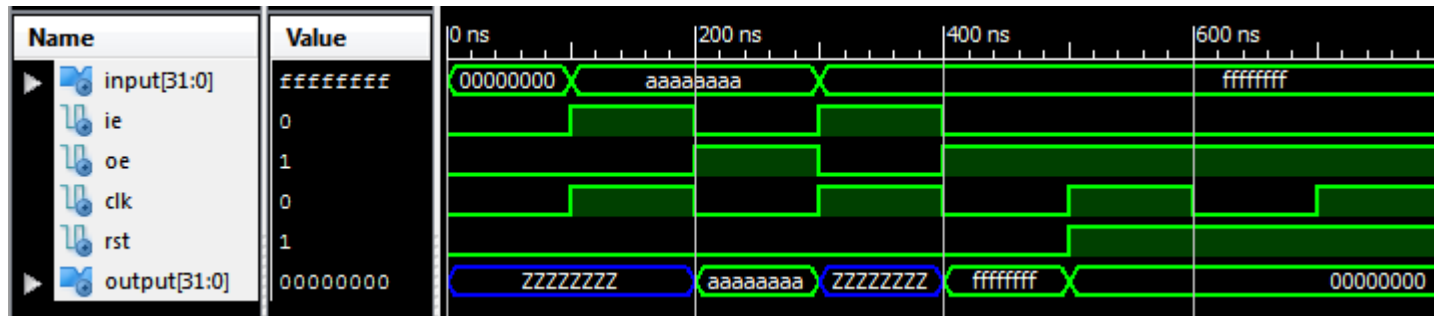
```
000011000000000000000000000000000000000100  
0000011100000000000000000000000000000101  
000000000000000000000001001000110100  
0000000000000000000101011001111000  
0000000000000000000000000000000000000000
```

XSA – 3S1000

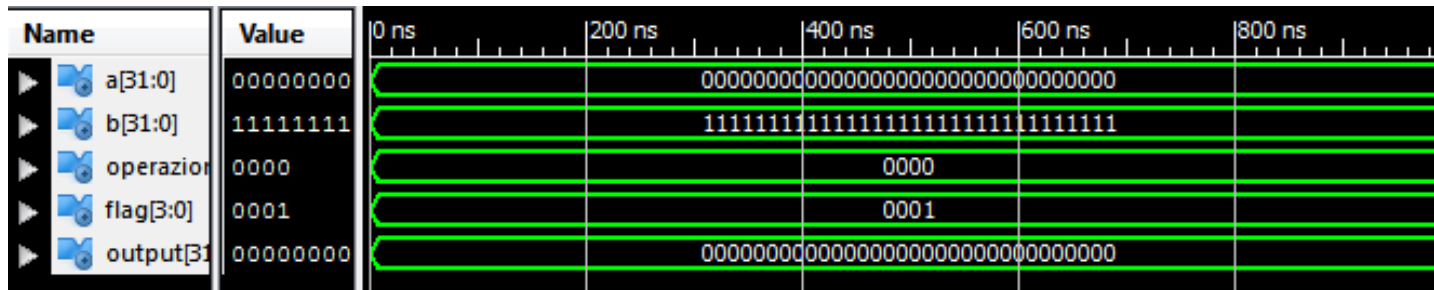


Test eseguiti con ISim

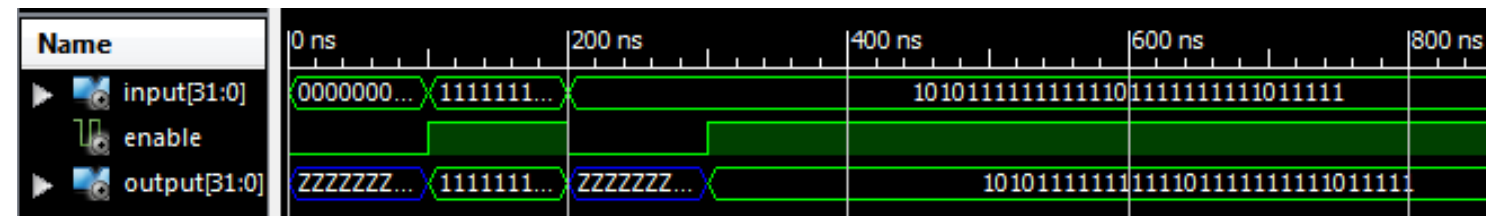
Registro 32 bit



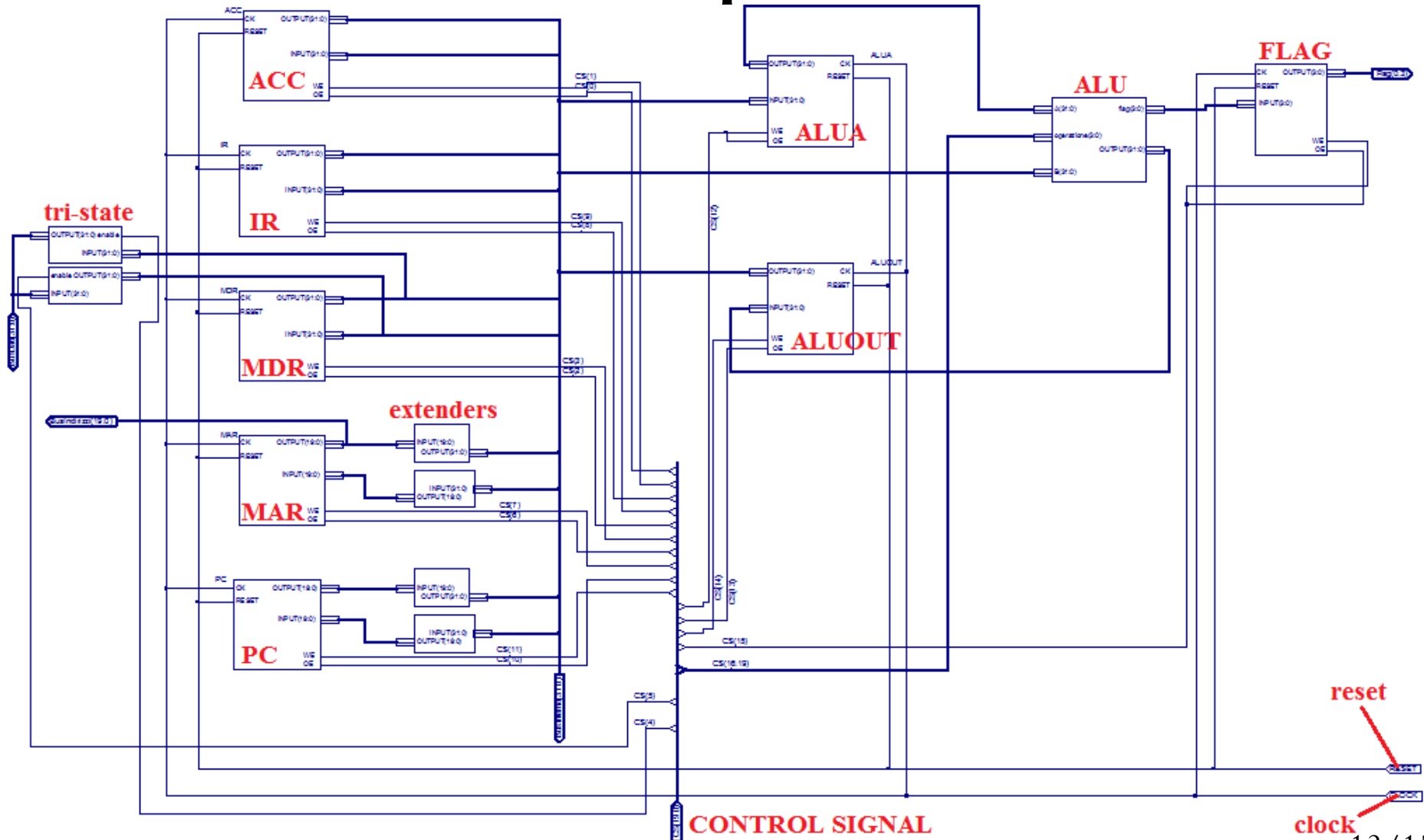
ALU a 32 bit



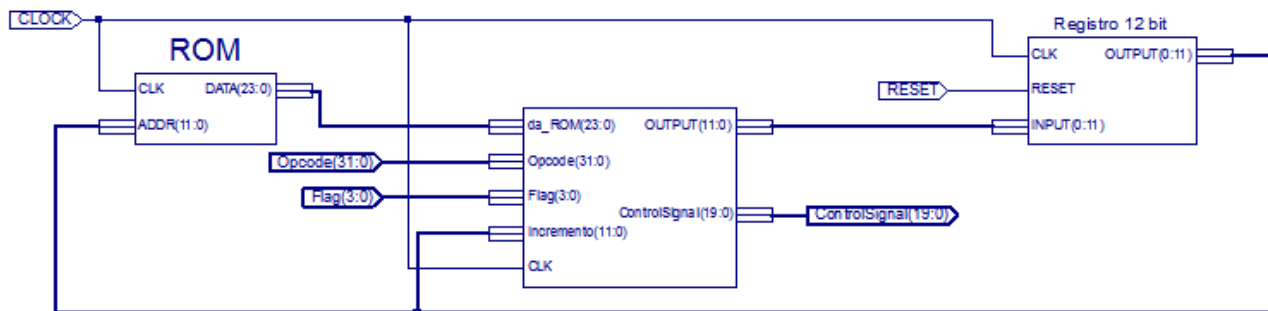
Tri-state 32 bit



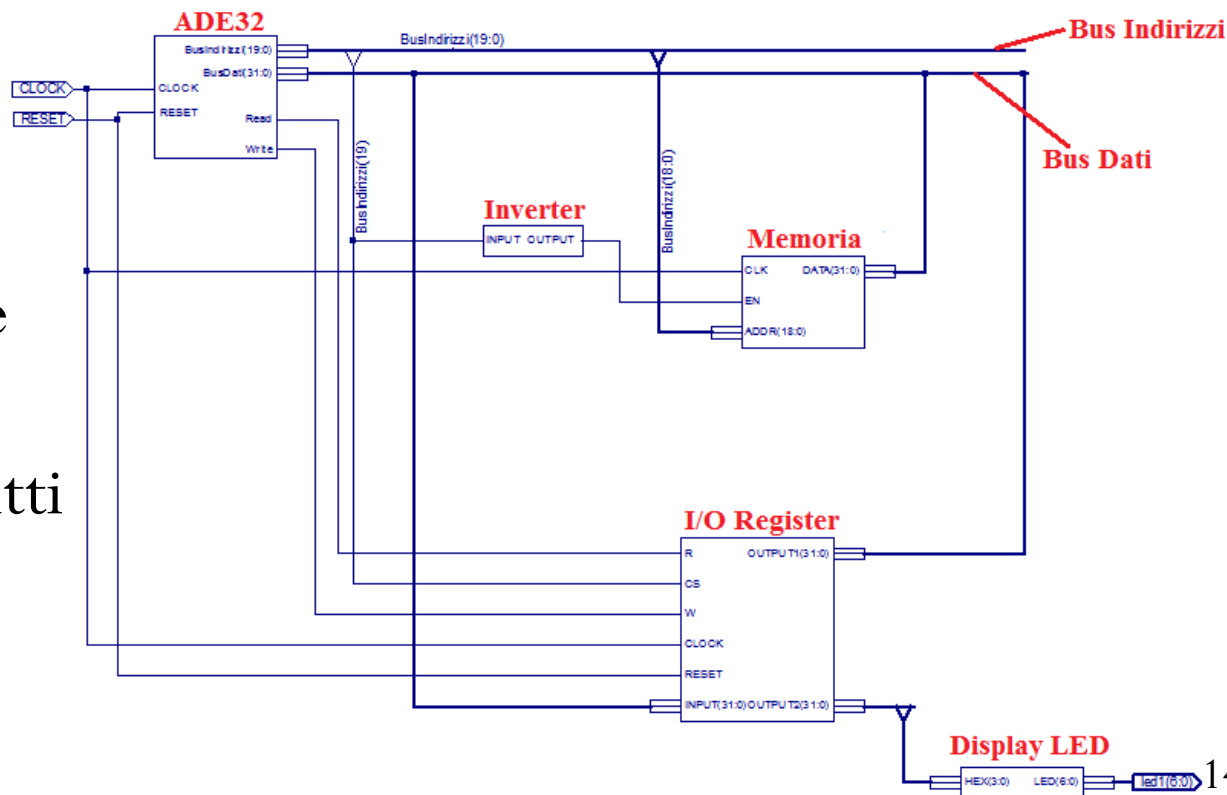
Datapath



Control Unit e Scheda Madre



Control Unit



Scheda Madre
(formata dai
componenti descritti
in precedenza)

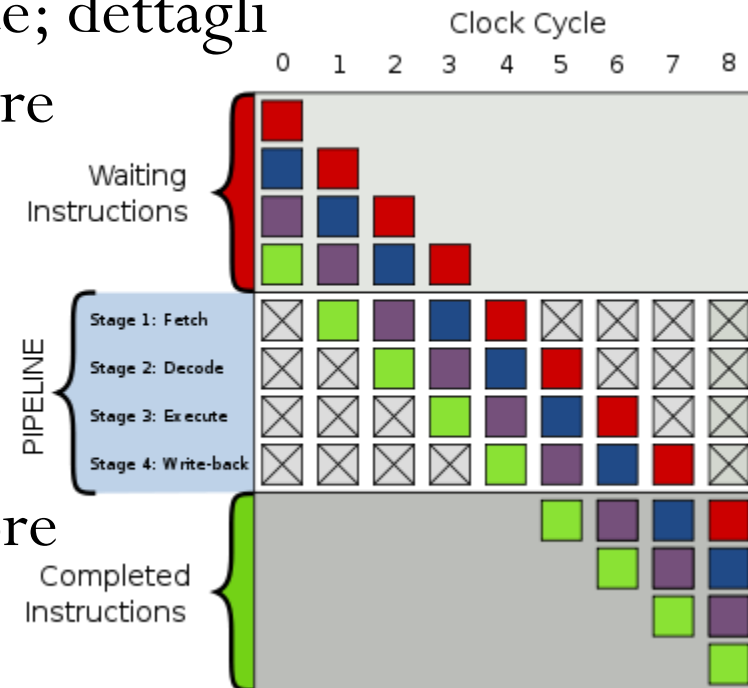
Conclusioni & Sviluppi Futuri

• Conclusioni

- Simulazione ottenuta con successo
- Realizzazione testata positivamente; dettagli di sintesi a basso livello da migliorare

• Sviluppi Futuri

- Architettura vettoriale
- Memoria cache
- Migliorare il realismo del processore





Fine.
Grazie per l'attenzione!